

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148481
 (43)Date of publication of application : 06.06.1997

(51)Int.CI. H01L 23/12
 H01L 21/321

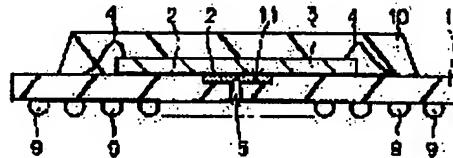
(21)Application number : 07-305288	(71)Applicant : HITACHI LTD HITACHI MICROCOMPUT SYST LTD HITACHI HOKKAI SEMICONDUCTOR LTD
(22)Date of filing : 24.11.1995	(72)Inventor : IMURA KENICHI SUZUKI KAZUNARI ISHIMURA DAIKI

(54) SEMICONDUCTOR DEVICE, AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a BGA-type semiconductor device where cracks do not occur in the package, at the time of solder reflow, and to surely form a bump electrode at manufacture of a semiconductor device.

SOLUTION: This semiconductor device has a substrate 1 having wiring and besides a plurality of external terminal electrodes at the rear, a semiconductor chip 3 fixed to the main face of the board 1 by paste 2, a through vent hole 5 provided at the substrate section corresponding to the fixed region of the semiconductor chip 3, a connection means for electrically connecting the electrode of the semiconductor chip 3 with the wiring of the board 1, and a resin package 10 for covering a semiconductor chip 3, etc., being attached to the main surface side of the board 1. In this case, the vent hole 10 pierces the board, and reaches at least the inside of the paste 2 to fix the semiconductor chip 3 to the board 1. The vent hole 10 reaches the inside of the cavity 11 provided at the substrate part facing the semiconductor chip 3. An external terminal electrode becomes a solder bump electrode 9, and constitutes a BGA-type semiconductor device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148481

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl.⁶
H 01 L 23/12
21/321

識別記号 庁内整理番号
F I
H 01 L 23/12
21/92

技術表示箇所
L
604A

審査請求 未請求 請求項の数7 OL (全7頁)

(21)出願番号 特願平7-305288
(22)出願日 平成7年(1995)11月24日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233169
株式会社日立マイコンシステム
東京都小平市上水本町5丁目22番1号
(71)出願人 000233594
日立北海セミコンダクタ株式会社
北海道亀田郡七飯町字中島145番地
(72)発明者 井村 健一
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内
(74)代理人 弁理士 秋田 収喜

最終頁に続く

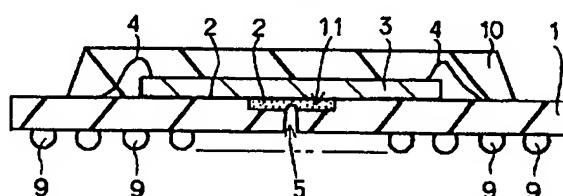
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半田リフロー実装時、パッケージにクラックが発生しないBGA型半導体装置を提供する。半導体装置製造時バンプ電極を確実に形成する。

【解決手段】 配線を有しつつ裏面に複数の外部端子電極を有する基板と、前記基板の正面にペーストによって固定された半導体チップと、前記半導体チップの固定領域に対応する基板部分に設けられた貫通したベントホールと、前記半導体チップの電極と前記基板の配線を電気的に接続する接続手段と、前記基板の正面側に取り付けられ前記半導体チップ等を覆うレジンパッケージとをする半導体装置であって、前記ベントホールは前記基板を貫通しつつ少なくとも前記半導体チップを前記基板に固定するペースト内に到達している。ベントホールは半導体チップに対面する基板部分に設けられた窪み内のペースト内に到達している。外部端子電極は半田バンプ電極となり、BGA型半導体装置を構成する。

図1



【特許請求の範囲】

【請求項 1】 配線を有しあつ裏面に複数の外部端子電極を有する基板と、前記基板の主面にペーストによって固定された半導体チップと、前記半導体チップの固定領域に対応する基板部分に設けられた貫通したベントホールと、前記半導体チップの電極と前記基板の配線を電気的に接続する接続手段と、前記基板の主面側に取り付けられ前記半導体チップ等を覆うレジンパッケージとを有する半導体装置であって、前記ベントホールは前記基板を貫通しあつ少なくとも前記半導体チップを前記基板に固定するペースト内に到達していることを特徴とする半導体装置。

【請求項 2】 前記ベントホールは前記半導体チップに對面する基板部分に設けられた窪み内のペースト内に到達していることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ベントホールは前記半導体チップの周縁の一部に対応する基板領域に設けられた窪み内の少なくともペースト内に到達していることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記外部端子電極は半田パンプ電極となり、ボールグリッドアレイ型半導体装置を構成することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項記載の半導体装置。

【請求項 5】 配線を有しあつ裏面に複数の外部端子電極を有する基板の主面にペーストによって半導体チップを固定する工程と、前記半導体チップの電極と前記基板の配線を電気的に接続する工程と、前記半導体チップ等を覆うように前記基板の主面側にレジンパッケージを形成する工程と、前記基板の裏面側から前記ペーストに到達するように前記基板にベントホールを形成することを特徴とする半導体装置の製造方法。

【請求項 6】 前記基板の一部に前記ペーストが入る窪みを設けた後半導体チップを固定し、その後前記窪み内のペーストに到達するようにベントホールを形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記基板の裏面には外部端子電極として半田パンプ電極を形成してボールグリッドアレイ型の半導体装置を製造することを特徴とする請求項 5 または請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に BGA (ボールグリッドアレイ : Ball Grid Array) 型半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 表面実装型半導体装置の一つとして BGA 型半導体装置が知られている。BGA 型半導体装置については、たとえば、工業調査会発行「電子材料」1994-

年 9 月号、同年 9 月 1 日発行、P37～P43 に記載されている。

【0003】 この文献には、BT (Bismaleimide Triazine) エポキシ基板の主面に LSI チップを固定し、裏面にハンドホールを有する BGA 型半導体装置が記載されている。前記 BGA 型半導体装置は、前記 LSI チップの電極と基板の配線とをワイヤで接続し、前記 LSI チップやワイヤをモールド樹脂で覆った構造となっている。また、この BGA 型半導体装置は、LSI チップに對面する基板領域に基板を貫通する放熱、接地用貫通部 (サーマルピア) を有している。

【0004】 また、基板に耐リフロー性対策用のベントホールを設けた BGA 型半導体装置が市販 (日立製作所製「1M シングルクロナス DRAM」) されている。

【0005】

【発明が解決しようとする課題】 レジンパッケージ型の表面実装型半導体装置は、実装基板に実装する際、電極にあらかじめ設けられた半田をリフローさせる方法をとる。この場合、パッケージを形成する樹脂内の水分や半導体チップを基板に固定するペースト (接着剤) 内に含まれる水分がリフロー時の熱によって蒸気となり、これが原因となってパッケージにクラックが入り、耐湿性が低下することが知られている。

【0006】 BGA 型半導体装置においても、前記耐リフロー性対策から、図 8 に一部を示すように、基板に貫通したベントホールを設けている。

【0007】 しかし、このような BGA 型半導体装置は、その製造において以下のようないわゆる問題が発生することが本発明者によつてあきらかにされた。

【0008】 図 8 は BGA 型半導体装置の製造途中の図であり、基板 1 の主面にペースト 2 を介して半導体チップ 3 を固定し、半導体チップ 3 の図示しない電極と基板 1 の図示しない配線とをワイヤ 4 で接続した図である。また、その後、この基板 1 の主面に対して、前記半導体チップ 2 等を覆うようにレジンからなるパッケージが設けられ、ついで、前記基板 1 の裏面には半田からなるパンプ電極が設けられ、BGA 型半導体装置となる。

【0009】 また、前記半導体チップ 2 に對面する基板領域の中心には、耐リフロー性対策用のベントホール 5 が基板 1 を貫通するように設けられている。

【0010】 このため、基板 1 の主面にペースト 2 で半導体チップ 3 を固定した場合、ペースト 2 が前記ベントホール 5 から流出して、図 9 に示すように、基板 1 の裏面を汚す。基板 1 の裏面のペーストでの汚染は、パンプ電極を形成するための下地電極 6 の表面の汚染に繋がり、パンプ電極形成時にパンプ電極が形成できない場合が生じる。

【0011】 また、図 10 に示すように、前記ペースト 2 がベントホール 5 に詰まり、BGA 型半導体装置の半田リフロー時に、ベントホール 5 が耐リフロー性対策用

の水蒸気の抜け路として作用しなくなり、パッケージにクラックが発生してしまい、耐湿性が劣化する。

【0012】本発明の目的は、半田リフロー実装時、パッケージにクラックが発生しないBGA型半導体装置およびその製造方法を提供することにある。

【0013】本発明の他の目的は、バンプ電極を確実に形成できるBGA型半導体装置の製造方法を提供することにある。

【0014】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0016】(1) 配線を有しつつ裏面に複数の外部端子電極を有する基板と、前記基板の主面にペーストによって固定された半導体チップと、前記半導体チップの固定領域に対応する基板部分に設けられた貫通したペントホールと、前記半導体チップの電極と前記基板の配線を電気的に接続する接続手段と、前記基板の主面側に取り付けられ前記半導体チップ等を覆うレジンパッケージとを有する半導体装置であって、前記ペントホールは前記基板を貫通しつつ少なくとも前記半導体チップを前記基板に固定するペースト内に到達している。前記ペントホールは前記半導体チップに対面する基板部分に設けられた窪み内のペースト内に到達している。前記外部端子電極は半田バンプ電極となり、ポールグリッドアレイ型半導体装置を構成する。

【0017】(2) 前記手段(1)の構成において、前記ペントホールは前記半導体チップの周縁の一部に対応する基板領域に設けられた窪み内の少なくともペースト内に到達している。

【0018】(3) 配線を有しつつ裏面に複数の外部端子電極を有する基板の主面にペーストによって半導体チップを固定する工程と、前記半導体チップの電極と前記基板の配線をワイヤによって電気的に接続する工程と、前記半導体チップ等を覆うように前記基板の主面側にレジンパッケージを形成する工程と、前記基板の裏面側から前記ペーストに到達するように前記基板にペントホールを形成する。前記基板の一部に前記ペーストが入る窪みを設けておき、その後半導体チップを固定する。ペントホールは前記窪み内のペーストに到達するように形成する。前記基板の裏面には外部端子電極として半田バンプ電極を形成してポールグリッドアレイ型の半導体装置を製造する。

【0019】前記(1)の手段によれば、ポールグリッドアレイ型半導体装置の基板の裏面には、半導体チップを基板に固定するペースト内に先端が臨むペントホールが設けられていることから、半田バンプ電極をリフロー

して実装した場合、前記ペントホールはペースト内で発生した水蒸気の外部への抜け路として機能するため、パッケージにクラックが発生しなくなる。

【0020】前記(2)の手段によれば、前記ペントホールは前記半導体チップの周縁の一部に対応する基板領域に設けられた窪み内の少なくともペースト内に到達していることから、前記ペーストおよびパッケージ内で発生した水蒸気を外部に確実に案内するペントホールとなる。

【0021】前記(3)の手段によれば、ポールグリッドアレイ型半導体装置の製造において、基板の主面の一部にペーストが入る窪みを設けた後、ペーストによって基板主面に半導体チップを固定し、ワイヤボンディング、レジンパッケージング後に前記窪みのペーストに届くようにペントホールを形成することから、基板裏面がペーストによって汚染されることはないとともに、ペーストによってペントホールが詰まることもなくなる。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0023】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0024】(実施形態1) 図1は本発明の一実施形態(実施形態1)であるBGA型半導体装置の概略を示す断面図、図2乃至図4は本実施形態1のBGA型半導体装置の製造方法における各工程での図であって、図2はBGA型半導体装置の製造方法において使用する基板を示す断面図、図3はチップボンディング、ワイヤボンディング、トランスマーチャルが終了した基板を示す断面図、図4は基板にペントホールを形成した基板を示す断面図である。

【0025】本実施形態1のBGA型半導体装置は、図1に示すように、外観的には、平坦な基板1と、この基板1の主面(上面)に形成された略矩形状のパッケージ10と、前記基板1の裏面(下面)にアレイ状に配設された複数の半田バンプ電極9からなる外部端子電極とかなりっている。

【0026】前記基板1はBTEポキシ基板等からなり、図示はしないが、その主面に配線が設けられ、裏面にアレイ状に半田バンプ電極9が形成されている。前記半田バンプ電極9と基板主面の配線は、図示しないスルーホールに充填形成された導体を介して電気的に接続されている。

【0027】また、前記基板1の主面の中央には、たとえば、0.3mm程度の深さの窪み11が設けられている。

【0028】また、基板1の主面中央にはペースト2によって半導体チップ3が固定されている。半導体チップ3の下面全域はペースト2を介して基板1に固定される

が、前記窪み11にもペースト2が入る。図1において、窪み11以外の部分のペースト2は太い線で示してある(以下の図でも同様)。

【0029】そして、前記基板1にはその裏面(下面)側から前記窪み11内のペースト2に先端が臨むベントホール5が形成されている。このベントホール5は、後述するが、基板1に半導体チップ3を固定した後に、基板1の裏面側から設けられる。したがって、ペースト2が基板1の裏面を汚染することもなく、かつまたペースト2が詰まってベントホール5を塞ぐこともない。

【0030】前記基板1の正面に固定された半導体チップ3の図示しない電極と、基板1の正面の図示しない各配線は、電気的接続手段、たとえば、導電性のワイヤ4を介して電気的に接続されている。

【0031】前記パッケージ10は、前記半導体チップ3やワイヤ4を封止する。

【0032】つぎに、本実施形態1のBGA型半導体装置の製造(組立)方法について説明する。

【0033】図2に示すように、最初に基板1を用意する。この基板1は、たとえば、BTエポキシ基板等からなり、いずれも図示はしないが、その正面に配線が設けられ、裏面にアレイ状に半田バンプ電極を形成するための下地電極が設けられている。前記下地電極と基板正面の配線は、図示しないスルーホールに充填形成された導体を介して電気的に接続されている。

【0034】つぎに、基板1の正面中央に、基板1の正面に固定する半導体チップ3よりも小さい窪み11を形成する。この窪み11は、後に基板1の裏面からドリルによってベントホールが開けられるが、この際、ドリルの先端で半導体チップ3を傷付けないようにすることと、ベントホールの先端を確実にペースト内に臨ませるために設けられる。したがって、前記窪み11の深さは、前記条件を満たす範囲で適宜決定すれば良い。たとえば、前記窪み11は、0.3mm程度の深さとなる。

【0035】つぎに、図3に示すように、基板1の正面にペースト2を介して半導体チップ3を固定する。ペースト2は一部しか図示していないが、半導体チップ3の裏面全域に延在している。

【0036】つぎに、半導体チップ3の図示しない電極と、基板1の正面の図示しない配線とをワイヤ4によって電気的に接続する。半導体チップ3の電極と配線との接続は他の電気的接続手段でも良い。

【0037】つぎに、常用のトランシスタモールドによって、基板1の正面にレジンからなるパッケージ10を形成する。このパッケージ10は前記半導体チップ3やワイヤ4等を封止する。

【0038】つぎに、図4に示すように、基板1の裏面からドリルによってベントホール5を形成する。この際、ドリルの先端で半導体チップ3を傷つけないように、ドリルの先端は浅くペースト2内に入れてベントホ

ール5を形成する。

【0039】つぎに、基板1の裏面に半田バンプ電極9を形成して、図1に示すようなBGA型半導体装置を製造する。

【0040】前記半田バンプ電極9は、基板1の裏面の図示しない下地電極に形成されるが、下地電極の表面はペーストによって汚染されていないことから、下地電極には確実に半田バンプ電極9が形成される。

【0041】本実施形態1のBGA型半導体装置は、その製造において、基板1の正面にペースト2を介して半導体チップ3を固定する際、基板1にベントホール5が設けられていないことから、基板1の裏面を汚染することがない。したがって、基板1の裏面の下地電極もペーストによって汚染されることはなく、半田バンプ電極9の形成時、下地電極に確実に半田バンプ電極9を形成することができ、半田バンプ電極形成の歩留りが向上する。

【0042】本実施形態1のBGA型半導体装置は、基板1に設けられるベントホール5は、基板1にペースト2を介して半導体チップ3を固定した後に形成されるため、ペースト2が詰まってベントホール5を塞ぐこともない。したがって、リフロー実装時、半導体チップ3の下面側のペースト2に含まれる水分が、実装時の熱によって水蒸気となつても、この水蒸気はベントホール5を通って外部に抜けるため、水蒸気に起因するパッケージクラックが発生しなくなり、実装の信頼度が高くなる。

【0043】(実施形態2) 図5は本発明の他の実施形態(実施形態2)であるBGA型半導体装置の一部を示す断面図、図6は本実施形態2のBGA型半導体装置の製造に用いる基板と、前記基板に固定された半導体チップを示す平面図である。

【0044】本実施形態2のBGA型半導体装置では、基板1の正面に設ける窪み11は、図5および図6に示すように、半導体チップ3の周縁の一部、すなわち、4辺の各中央部分に一部がかかるように設けられている。そして、BGA型半導体装置の製造において、前記窪み11に対応する基板1の裏面部分から、ベントホール5がパッケージ10の形成の後に形成される。

【0045】図6の基板1において、窪み11が設けられ、半導体チップ3が固定されているが、まだ、ベントホール5は形成されていない。

【0046】本実施形態2のBGA型半導体装置の製造においては、前記ベントホール5を形成する部分は、半導体チップ3から外れた部分であることから、深くドリルを入れても半導体チップ3を破損することがなく、ベントホール5を開ける作業の余裕度が高くなり、作業性が向上する。

【0047】このBGA型半導体装置の場合も、4か所に設けられたベントホール5が、半導体チップ3と基板1とを固定するペースト2部分に到達していること、ま

た、ペントホール5がペースト2を貫通してパッケージ10を形成するレジン部分にも到達していることから、BGA型半導体装置のリフロー実装時、実装時の熱によってレジンやペースト内に含まれる水分が水蒸気となつても、この水蒸気は各ペントホール5を通って外部に抜けるため、パッケージクラックが発生しなくなる。

【0048】本実施形態2のBGA型半導体装置の製造時においても、半導体チップ3の固定時、基板1にペントホール5が設けられていないことから、基板1の裏面のペーストによる汚染はない。

【0049】(実施形態3) 図7は本発明の他の実施形態(実施形態3)であるBGA型半導体装置の製造に用いる基板と、前記基板に固定された半導体チップを示す平面図である。

【0050】本実施形態3のBGA型半導体装置では、その製造において、図7に示すように、基板1の正面に設けられる窪み11は、半導体チップ3の周縁の一部、すなわち、矩形状の半導体チップ3の各頂点に対応する部分に一部がかかるように設けられている。本実施形態1では、前記窪み11は梢円形状となり、図示はしないが、基板1の正面にペースト2によって半導体チップ3を固定し、ワイヤボンディング、パッケージングの後、基板1の裏面から前記窪み11に達するように、ドリルによってペントホール5が形成される。

【0051】本実施形態3のBGA型半導体装置の製造においては、前記実施形態2の場合と同様に、前記ペントホール5を形成する部分は、半導体チップ3から外れた部分であることから、深くドリルを入れても半導体チップ3を破損することがなく、ペントホール5を開ける作業の余裕度が高くなり、作業性が向上する。

【0052】本実施形態3のBGA型半導体装置の場合も、4か所に設けられたペントホール5が、半導体チップ3と基板1とを固定するペースト2部分に到達していること、また、ペントホール5がペースト2を貫通してパッケージ10を形成するレジン部分にも到達していることから、BGA型半導体装置のリフロー実装時、実装時の熱によってレジンやペースト内に含まれる水分が水蒸気となつても、この水蒸気は各ペントホール5を通って外部に抜けるため、パッケージクラックが発生しなくなる。

【0053】本実施形態3のBGA型半導体装置の製造時においても、半導体チップ3の固定時、基板1にペントホール5が設けられていないことから、基板1の裏面のペーストによる汚染はない。

【0054】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。本発明は他の構造のBGAにも適用できる。

【0055】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0056】(1) ポールグリッドアレイ型半導体装置の基板の裏面には、半導体チップを基板に固定するペースト内に先端が臨むペントホールが設けられていることから、半田バンプ電極をリフローして実装した場合、前記ペントホールはペースト内で発生した水蒸気の外部への抜け路として機能するため、パッケージにクラックが発生しなくなる。

【0057】(2) ポールグリッドアレイ型半導体装置の製造において、基板の正面の一部にペーストが入る窪みを設けた後、ペーストによって基板正面に半導体チップを固定し、ワイヤボンディング、レジンパッケージング後に前記窪みのペーストに届くようにペントホールを形成することから、基板裏面がペーストによって汚染されがないとともに、ペーストによってペントホールが詰まることがなくなる。したがって、基板裏面に形成する半田バンプ電極の信頼度が高くなるとともに、半田バンプ電極の製造歩留りが向上する。また、リフロー時パッケージクラックが発生し難い実装信頼度が高いBGA型半導体装置となる。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)であるBGA型半導体装置の概略を示す断面図である。

【図2】本実施形態1のBGA型半導体装置の製造方法において使用する基板を示す断面図である。

【図3】本実施形態1のBGA型半導体装置の製造方法において、チップボンディング、ワイヤボンディング、トランスマーモールドが終了した基板を示す断面図である。

【図4】本実施形態1のBGA型半導体装置の製造方法において、基板にペントホールを形成した基板を示す断面図である。

【図5】本発明の他の実施形態(実施形態2)であるBGA型半導体装置の一部を示す断面図である。

【図6】本実施形態2のBGA型半導体装置の製造に用いる基板と、前記基板に固定された半導体チップを示す平面図である。

【図7】本発明の他の実施形態(実施形態3)であるBGA型半導体装置の製造に用いる基板と、前記基板に固定された半導体チップを示す平面図である。

【図8】従来のBGA型半導体装置の一部を示す断面図である。

【図9】従来のBGA型半導体装置において基板のペントホールから基板裏面にペーストが流れ出した状態を示す模式的断面図である。

【図10】従来のBGA型半導体装置において基板のペントホールがペーストで塞がれた状態を示す模式的断面図である。

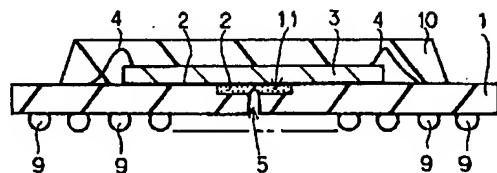
【符号の説明】

1…基板、2…ペースト、3…半導体チップ、4…ワイヤ

ヤ、5…ベントホール、6…下地電極、9…半田バンプ
電極、10…パッケージ、11…窪み。

【図1】

図1



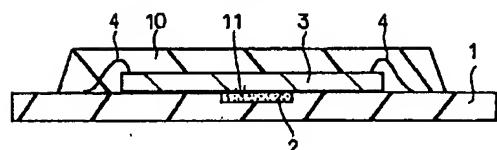
【図2】

図2



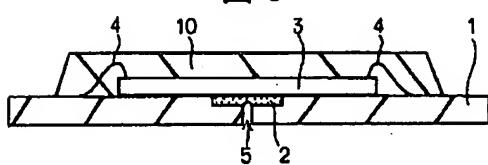
【図3】

図3



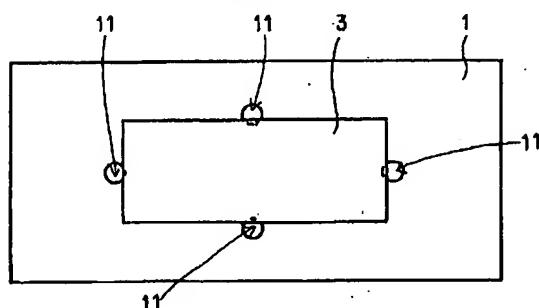
【図4】

図4



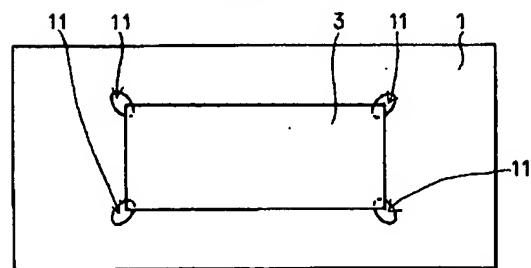
【図6】

図6



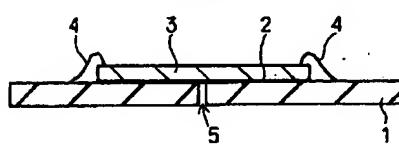
【図7】

図7



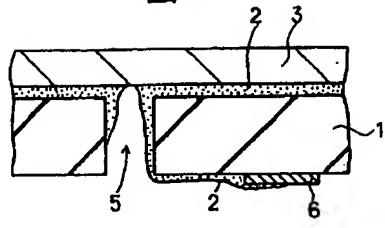
【図8】

図8



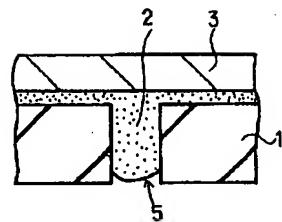
【図9】

図9



【図10】

図10



フロントページの続き

(72) 発明者 鈴木 一成
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72) 発明者 石村 大樹
北海道亀田郡七飯町字中島145番地 日立
北海セミコンダクタ株式会社内